디지털 시계를 제작하는 단계에서 동작에 필요한 각 블록들을 도출하고 난 후 가장 먼저

시작할 부분은 블록의 가장 하위에 있는 FND를 제어하는 부분일 것입니다.

이를 위해서 오늘은 가장 하위 블록인 FND에 숫자를 표시하기 위한 하드웨어 부분의 설명과 함께 이진화 십진법(Binary-coded decimal) 디코더 구현을 살펴 보도록 하겠습니다.

**Ppt3.**

먼저 실습에서 사용할 하드웨어는 PXA255-FPGA 개발 보드로서 본 화면과 같은 구성을 가지고 있습니다.

여기서 디지털 시계 구현에 사용할 FND가 보드 중앙의 6개의 FND 입니다.

**Ppt4.**

FND제어를 위해서 Altera FPGA에서 할당하고 있는 핀은 FDATA0 ~ 7 과 FCOM0 ~5입니다.

Ppt6.

FND의 제어에 사용하는 각 핀들의 용도는 숫자 표시를 위한 자릿수(DIGIT)를 지정하기 위한 Select 핀과 표시할 숫자를 지정하기 위한 Data 핀이 있습니다.

Select 핀은 FCOM0 ~ 5 핀으로 구성되며 Data 핀은 FDATA0 ~ 7의 핀으로 구성됩니다.

Select 핀과 Data 핀으로 나눠놓은 이유는 효율적인 핀 사용을 위해서 입니다.

각 FND마다 Data 핀을 두 개 된다면 총 48개의 핀이 필요하고 이를 효율적으로 사용하기 위해서 Select와 Data 핀을 두고 사용하는 것입니다.

Ppt7.

숫자를 표시하는 방법입니다.

Data Setting 부분은 숫자를 표시할 때 설정할 bit의 값이며 Digit Select 부분은 표시할 자릿수를 선택할 때 설정하는 Bit 값입니다.

자릿수, Digit의 순서는 오른쪽부터 왼쪽으로 순입니다.

Ppt13.

실제로 FND를 통해서 원하는 숫자를 표시하기 위해서는 FND와 연결된 FPGA의 핀 정보를 정보를 정의해야합니다. 예를 들어 Quartus의 Pin Planner 보시는 화면과 같이 정의를 했다고 가정하도록 하겠습니다.

Quaruts 에서 FPGA에 핀 정보를 정의하는 부분은 튜토리얼 문서에 포함되어 있으므로 이를 참고하시면 됩니다.

Ppt14.

이제 디지털 시계에서 사용되는 최 하위의 BCD 디코더가 동작하는 방식 살펴보도록 하겠습니다.

BCD 디코더는 표시해야할 숫자가 0 ~9 이므로 총 4개의 비트를 통해 필요한 십진수 입력데이터를 표현할 수 있습니다.

입력된 데이터는 FND에 숫자를 표시하기 위한 각 비트 데이터로 디코딩 되어 FND의 각 핀으로입력됩니다.

PXA255-FPGA에 사용된 FND는 common cathode 방식이므로 점등할 위치에 비트데이터 ‘1’을 설정하면 켜지게 되므로 디코더 내부에서 이에 맞게 BCD 디코더를 동작을 구현하면됩니다.

Ppt16.

간단히 FND를 구동사키는 코드를 살펴보도록 하겠습니다.

현재 코드에서 FND를 동작시키는 주요 코드는 case 구문 입니다.

000 은 숫자 0 001은 숫자 1 과 같이 2진수로 숫자 0 ~ 5를 표현하고 있습니다.

이러한 숫자를 seg\_in에 설정하고 DIGIT에서 표시할 자리수를 비트로 지정합니다.

위에서부터 차례대로 DIGIT 1 ~ 5를 번갈아가면서 동작하고 있습니다. 선택에 대한 부분은 숫자 0을 내보낼 경우 해당되는 위치의 FND가 선택되며 1일 경우는 선택되지 않도록 합니다.

Ppt17.

현재 화면은 Case 문에서 set\_in에 설정된 수에 따라서 FND에 표시할 숫자 데이터에 맞는 비트 데이터를 지정하는 것을 보여줍니다.

지정된 비트 데이터는 실제 FND의 각 위치에 맞게 연결 됩니다.

Ppt18.

위에서 설명한 내용들을 종합해서 이제 정리를 해보면

디지털 시계 구현의 최 하위에 필요한 LED\_DEC 즉 BCD 디코더를 만들 수 있을 것입니다.

LED\_DEC 블록은 디바이더로부터 표시할 숫자를 받아서 이 내용을 FND에 표시하도록 하는 역할을 합니다.

이제 그러면 LED\_DEC 블록의 구현 코드를 살펴보도록 하겠습니다.

**[Led\_dec\_vhd 설명]**